

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09231790 A**(43) Date of publication of application: **05.09.97**

(51) Int. Cl.

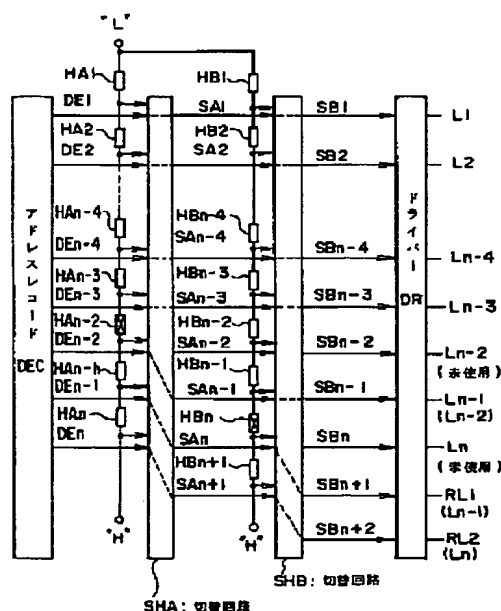
G11C 29/00
G11C 11/401(21) Application number: **08036189**(22) Date of filing: **23.02.96**(71) Applicant: **OKI MICRO DESIGN MIYAZAKI:KK**
OKI ELECTRIC IND CO LTD(72) Inventor: **SATO KENJI**
MATSUSHITA YUICHI(54) **SEMICONDUCTOR STORAGE DEVICE**

(57) Abstract:

PROBLEM TO BE SOLVED: To relieve defective cells, etc., of the two column lines of a semiconductor device by a shift type redundancy constitution providing at least two pairs of fuse circuits and column-line changeover circuits.

SOLUTION: This storage device has a driver DR driving (n) column lines L1-Ln and at least two redundancy lines (RL1 and RLn), two pairs of series-connection fuse circuits HA1-HAn and HB1-HBn+1, and two pairs of column-line changeover circuits SHA, SHB. Consequently, each one fuse HAn-2 and HABn of series fuses are cut in response to unused column lines Ln and Ln-2. Address record signals on the redundancy side after the cut points are changed over and output to output ends SAn-1-SAn+1 and SBn+1-SBn+2 shifted to the redundancy side by one stage in each column-line changeover circuit SHA and SHB. Accordingly, the defective cells, etc., of two column lines can be relieved.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-231790

(43) 公開日 平成9年(1997)9月5日

(51) Int.Cl.⁶

G 1 1 C 29/00
11/401

識別記号

3 0 1

庁内整理番号

F I

G 1 1 C 29/00
11/34

技術表示箇所

3 0 1 B
3 7 1 D

審査請求 未請求 請求項の数 4 O L (全 12 頁)

(21) 出願番号

特願平8-36189

(22) 出願日

平成8年(1996)2月23日

(71) 出願人 591049893

株式会社沖マイクロデザイン宮崎
宮崎県宮崎市大和町9番2号

(71) 出願人 000000295

沖電気工業株式会社
東京都港区虎ノ門1丁目7番12号

(72) 発明者 佐藤 賢治

宮崎県宮崎市大和町9番2号 株式会社沖
マイクロデザイン宮崎内

(72) 発明者 松下 裕一

宮崎県宮崎市大和町9番2号 株式会社沖
マイクロデザイン宮崎内

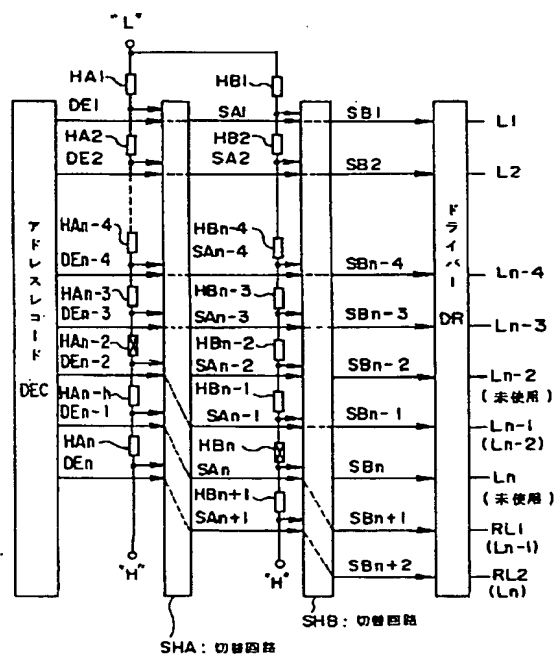
(74) 代理人 弁理士 鈴木 敏明

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 シフト型冗長構成によって半導体記憶装置の2個のカラム線の不良セル等を救済する。

【解決手段】 2個のカラム線冗長RCL1及びRCL2、2組の直列接続ヒューズHA1~HAN及びHB1~HBn+1、並びに2組のカラム線切替回路SHA及びSHBを設け、未使用カラム線Ln及びLn-2に応じて直列ヒューズの各1個のヒューズHAN-2及びHBnを切断し、その切断点以降の冗長側のアドレスコード信号を、各カラム線切替回路SHA及びSHBにおいて冗長側へ1段シフトした出力端SAN-1~SAN+1及びSBN+1~SBN+2に切り替えて出力させる。この構成により2個のカラム線の不良セル等を救済することができる。



1

【特許請求の範囲】

【請求項1】 n 個の出力ノードからそれぞれのアドレスデコード信号を出力するアドレスデコーダと、
少なくとも $n+2$ 個の入力ノードとそれと同数の出力ノードを有して、その出力ノードに接続された n 個のカラム線又はロウ線と少なくとも 2 個の冗長線とを駆動するドライバーと、

直列に n 個接続されたヒューズを有して冗長線使用時に当該ヒューズの 1 つを切断して使用するヒューズ回路であって、セット時に当該ヒューズ回路の第 1 端から第 1 電位レベルの信号が与えられ且つ当該ヒューズ回路の第 2 端から第 2 電位レベルの信号が与えられる第 1 ヒューズ回路と、

n 個の入力ノードと $n+1$ 個の出力ノードを有する切替回路であって、当該切替回路の各入力ノードが前記アドレスデコーダの対応した各出力ノードへ接続され、第 1 から第 $n-1$ の当該入力ノードと前記第 1 ヒューズ回路における第 1 から第 $n-1$ のヒューズ間接続点とを 1 対 1 で対応させ且つ第 n の当該入力ノードを前記第 1 ヒューズ回路における前記第 2 端に対応させて前記第 1 電位レベル及び第 2 電位レベルの信号が当該切替回路の制御信号として与えられ、切断されたヒューズを境にして、前記第 1 電位レベルの前記制御信号に対応した入力ノードから与えられた前記アドレスデコード信号を当該入力ノードに対応した出力ノードから出力し、前記第 2 レベルの前記制御信号に対応した当該入力ノードから与えられた前記アドレスデコード信号を前記冗長線側へ 1 つシフトした出力ノードから出力する第 1 切替回路と、

直列に $n+1$ 個接続されたヒューズを有して冗長線使用時に当該ヒューズの 1 つを切断して使用する第 2 ヒューズ回路であって、セット時に当該ヒューズ回路の第 1 端から第 1 電位レベルの信号が与えられ且つ当該ヒューズ回路の第 2 端から第 2 電位レベルの信号が与えられるようにされた第 2 ヒューズ回路と、

$n+1$ 個の入力ノードと $n+2$ 個の出力ノードを有する第 2 切替回路であって、当該切替回路の各入力ノードが前記アドレスデコーダの対応した各出力ノードへ接続され、第 1 から第 n の当該入力ノードと前記第 2 ヒューズ回路における第 1 から第 n のヒューズ間接続点とを 1 対 1 で対応させ且つ第 n の当該入力ノードを前記第 2 ヒューズ回路における前記第 2 端に対応させて前記第 1 電位レベル及び第 2 電位レベルの信号が当該第 2 切替回路の制御信号として与えられ、切断されたヒューズを境にして、前記第 1 電位レベルの前記制御信号に対応した入力ノードから与えられた前記アドレスデコード信号を当該入力ノードに対応した出力ノードから前記ドライバーへ出力し、前記第 2 電位レベルの前記制御信号に対応した当該入力ノードから与えられた前記アドレスデコード信号を前記冗長線側へ 1 つシフトした出力ノードから前記ドライバーへ出力する第 2 切替回路と、

2

を備えていることを特徴とした半導体記憶装置。

【請求項2】 n 個の出力ノードからアドレスデコード信号を出力するアドレスデコーダと、

$n+2$ 個の入力ノードとそれと同数の出力ノードを有して、その出力ノードに接続された n 個のカラム線と 2 個の冗長カラム線とを駆動するドライバーと、

直列に n 個接続されたヒューズを有して冗長線使用時に当該ヒューズの 1 つを切断して使用するヒューズ回路であって、セット時に当該ヒューズ回路の第 1 端からローレベル信号が与えられ且つ当該ヒューズ回路の第 2 端からハイレベル信号が与えられる第 1 ヒューズ回路と、
直列に $n+1$ 個接続されたヒューズを有して冗長線使用時に当該ヒューズの 1 つを切断して使用するヒューズ回路であって、セット時に当該ヒューズ回路の第 1 端からローレベル信号が与えられ且つ当該ヒューズ回路の第 2 端からハイレベル信号が与えられる第 2 ヒューズ回路と、

第 1 NMOS、第 2 NMOS、第 1 PMOS、第 2 PMOS、第 1 インバータ、第 2 インバータとからなる単位を n 組有し、且つ前記アドレスデコーダに接続された n 個の入力ノードと $n+1$ 個の出力ノードを有するカラム線切替回路であって、第 1 NMOS 及び第 2 NMOS のソースが 1 つの当該入力ノードに接続され、第 1 NMOS 及び第 1 PMOS のドレインが当該入力ノードに対応した出力ノードに接続され、第 2 NMOS のドレインが冗長側に 1 つシフトした次段単位の出力ノードに接続され、第 1 PMOS のソースが前段単位の第 2 PMOS のドレインに接続され、第 2 PMOS のソースが電源電位にドレインが次段単位の第 1 PMOS のドレインに接続され、第 1 インバータの入力ノードが前記第 1 ヒューズ回路におけるヒューズ間接続点又は前記第 2 端のノードに接続され、当該第 1 インバータの出力ノードが第 1 NMOS 及び第 1 PMOS のゲート並びに第 2 インバータの入力ノードに接続され、当該第 2 インバータの出力ノードが第 2 NMOS 及び第 2 PMOS のゲートに接続されている第 1 カラム線切替回路と、

第 3 NMOS、第 4 NMOS、第 3 PMOS、第 4 PMOS、第 3 インバータ、第 4 インバータとからなる単位を n 組有し、且つ前記アドレスデコーダに接続された n 個の入力ノードと $n+1$ 個の出力ノードを有するカラム線切替回路であって、第 3 NMOS 及び第 4 NMOS のソースが 1 つの当該入力ノードに接続され、第 3 NMOS 及び第 3 PMOS のドレインが当該入力ノードに対応した出力ノードに接続され、第 4 NMOS のドレインが冗長側に 1 つシフトした次段単位の出力ノードに接続され、第 3 PMOS のソースが前段単位の第 4 PMOS のドレインに接続され、第 4 PMOS のソースが電源電位に、ドレインが次段単位の第 3 PMOS のドレインに接続され、第 3 インバータの入力ノードが前記第 2 ヒューズ回路におけるヒューズ間接続点ノード又は前記第 2 端

のノードに接続され、当該第3インバータの出力ノードが第3 NMOS及び第3 PMOSのゲート並びに第4インバータの入力ノードに接続され、当該第4インバータの出力ノードが第4 NMOS及び第4 PMOSのゲートに接続されている第2カラム線切替回路と、を備えていることを特徴とした半導体記憶装置。

【請求項3】 請求項1記載の半導体記憶装置において、さらに、第1カラム線切替回路の各単位回路に第5 PMOS及び第6 PMOSとを備え、当該第5 PMOSのソースが第1 NMOSのドレインに、ドレインが第1 NMOSのソースに、ゲートが第2インバータの出力ノードに接続され、前記第6 PMOSのソースが第2 NMOSのソースに、ドレインが第2 NMOSのソドレインに、ゲートが第1インバータの出力ノードに接続されていることを特徴とした半導体記憶装置。

【請求項4】 請求項3記載の半導体記憶装置において、さらに、第2カラム線切替回路の各単位回路に第7 PMOS及び第8 PMOSとを備え、当該第7 PMOSのソースが第1 NMOSのドレインに、ドレインが第1 NMOSのソースに、ゲートが第2インバータの出力ノードに接続され、前記第8 PMOSのソースが第2 NMOSのソースに、ドレインが第2 NMOSのドレインに、ゲートが第1インバータの出力ノードに接続されていることを特徴とした半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不良セル等を救済して製造歩留まりの向上を図るための冗長回路を設けて構成される半導体記憶装置に関する。

【0002】

【従来の技術】DRAM(dynamic random access memory)等、半導体記憶装置では、製造歩留まりを向上させるために冗長回路を設けている。この冗長回路の中でもATD(address transfer detector)を使用したカラム冗長回路では、カラム線が立ち上がるまでに時間がかかり、回路も複雑なものになる。そこで、ATDを使用せず、回路が簡単化でき、さらにカラム線の立ち上がり的高速化が可能なシフト型回路が使用されている。

【0003】図9に従来のシフト型冗長回路の構成を示す。従来のシフト型冗長回路は、 n 個直列接続されて一端からブロック選択信号（以下BSELという）が与えられるヒューズ1～3、1つのヒューズを切断したときにBSELから切り離されたヒューズがフローティングにならないようにするラッチ回路4、Yアドレスデコーダ（但し図9にはそのNORゲート5～7を示す）、カラム線切替回路8、カラムドライバー9で構成される。

【0004】ここで、カラム線切替回路8は、PチャンネルMOSトランジスタ（以下PMOSという）10～17、NチャンネルMOSトランジスタ（以下NMOSという）18～23、及びインバータ24～29からな

り、カラムドライバー9はPMOS30～33及びインバータ34～37からなり、ラッチ回路4はインバータ38及び41並びにPMOS39及び40からなり、また、BSELはリセット時は電源電位VCCの“H”レベル（ハイレベル）であり、セット時に接地電位の

“L”レベル（ローレベル）を取り、ラッチ回路4はBSELから切り離されたヒューズへセット時に“H”レベルを与える。なお、図において、PMOSのソースの矢印は電源電位VCCに接続されることを示している。

10 【0005】冗長未使用時には、選択されたBSELは“H”から“L”になり、例えばNORゲート5に着目すると、ノードaも“H”から“L”になり、NMOS19がOFF且つNMOS18がONしてNORゲート5の出力信号（セット時は“L”）はノードbに伝達され、実線の経路をたどってカラム線CL1を立ち上げる。

20 【0006】冗長使用時には、例えばカラム線CL $n-1$ が不良である場合、CL $n-1$ の切り替え用のヒューズ2を切断する。そうするとラッチ回路4につながっているノードcは“H”のままになりPMOS13がONし、ノードdは“H”のままになり、CL $n-1$ は“L”になるので使用されなくなる。

【0007】またNMOS20とNMOS22はOFF、NMOS21とNMOS23がONして、NORゲート6の出力信号はノードfへ、NORゲート7の出力信号はノードgへ伝達され、点線の経路をたどってカラム線CL n とRCLを立ち上げる。よって、カラム線CL $n-1$ はCL n へ、CL n は冗長カラム線RCLへと、隣接したカラム線にシフトして置き換えられる。

30 【0008】

【発明が解決しようとする課題】しかしながら、上記構成の冗長回路では1つのブロックで1つのカラム線しか冗長救済できないのでカラム線ショート等による2カラム線以上の不良が冗長救済できず、救済の自由度が低い、という問題があった。

【0009】

【課題を解決するための手段】本発明は、本発明の概念を示した図1を参照するに、 n 個の出力ノード（DE1～DE n ）からそれぞれのアドレスデコード信号を出力するアドレスデコーダ（DEC）と、少なくとも $n+2$ 個の入力ノードとそれと同数の出力ノードを有してその出力ノードに接続された n 個のカラム線又はロウ線（L1～L n ）と少なくとも2個の冗長線（RL1及びRL2）とを駆動するドライバー（DR）とを有する。

【0010】さらに、直列に n 個接続されたヒューズ（HA1～HA n ）を有して冗長線使用時にヒューズの1つを切断して使用するヒューズ回路であって、セット時にこのヒューズ回路の第1端から第1電位レベル

50 （L）の信号が与えられ且つこのヒューズ回路の第2端から第2電位レベル（H）の信号が与えられる第1ヒューズ

ーズ回路とを有する。

【0011】さらに、 n 個の入力ノードと $n+1$ 個の出力ノードを有する第1切替回路(SHA)であって、この切替回路の各入力ノードがアドレスデコードの対応した各出力ノード(DE1~DEN)へ接続され、第1から第 $n-1$ の当該入力ノードと前記第1ヒューズ回路における第1から第 $n-1$ のヒューズ間接続点とを1対1で対応させ且つ第 n の当該入力ノードを前記第1ヒューズ回路における第2端に対応させて第1電位レベル

(L)及び第2電位レベル(H)の信号が当該切替回路の制御信号として与えられ、切断されたヒューズを境にして、第1電位レベル(L)の制御信号に対応した入力ノードから与えられたアドレスデコード信号をこの入力ノードに対応した出力ノード(SA1~SAn)から出力し、第2電位レベル(H)の制御信号に対応した入力ノードから与えられたアドレスデコード信号を冗長線側へ1つシフトした出力ノード(SA2~SAn+1)から出力する第1切替回路(SHA)を有する。

【0012】さらに、直列に $n+1$ 個接続されたヒューズ(HB1~HBn+1)を有して冗長線使用時に当該ヒューズの1つを切断して使用する第2ヒューズ回路であって、切断したヒューズを境にして、セット時にこの第2ヒューズ回路の第1端から第1電位レベル(L)の信号が与えられ且つ第2ヒューズ回路の第2端から第2電位レベル(H)の信号が与えられる第2ヒューズ回路を有する。

【0013】さらに、 $n+1$ 個の入力ノードと $n+2$ 個の出力ノード(SB1~SBn+2)を有する第2切替回路(SHB)であって、この第2切替回路の各入力ノードが第1切替回路(SHA)の対応した各出力ノード

(SA1~SAn+1)へ接続され、第1から第 n の当該入力ノードと第2ヒューズ回路における第1から第 n のヒューズ間接続点とを1対1で対応させ、且つ第 $n+1$ の当該入力ノードを第2ヒューズ回路における前記第2端に対応させて第1電位レベル(L)及び第2電位レベル(H)の信号が当該第2切替回路の制御信号として与えられ、切断されたヒューズを境にして、第1電位レベル(L)の制御信号に対応した入力ノードから与えられたアドレスデコード信号を当該入力ノードに対応した出力ノード(SB1~SBn+1)からドライバー(DR)へ出力し、第2レベル(H)の制御信号に対応した入力ノードから与えられたアドレスデコード信号(DE1~DEN)を冗長線側へ1つシフトした出力ノード(SB2~SBn+2)からドライバー(DR)へ出力する第2切替回路を有する。

【0014】この構成において、カラム又はロウ線Ln-2及びLnが不良であることが判明した場合、ヒューズHAN-2、HBnを切断して使用する。そうすると、セット時には、ヒューズHA1~HAN-3及びHB1~HBn-1には第1電位レベル“L”が与えら

れ、ヒューズHAN-2~HAN及びHBn~HBn+1には第2電位レベル“H”が与えられる。

【0015】従って、第1切替回路SHAでは、アドレスデコードDECの出力ノードDE1~DEN-3に対応して第1電位レベル“L”の制御信号が与えられ、出力ノードDEN-2~DENに対応して第2電位レベル“H”の制御信号が与えられ、また、第2切替回路SHBでは、第1切替回路SHAの出力ノードSA1~SAn-1に対応して第1電位レベル“L”の制御信号が与えられ、出力ノードSAn~SAn+1に対応して第2電位レベル“H”の制御信号が与えられる。

【0016】そのため、第1切替回路SHAは、アドレスデコードDECの出力ノードDE1~DEN-3から与えられたアドレスデコード信号を対応した出力ノードSA1~SAn-3から出力し、出力ノードDEN-2~DENから与えられたアドレスデコード信号を冗長線側へ1つシフトした出力ノードSAn-1~SAn+1から出力する。

【0017】また、第2切替回路SHBは、第1切替回路SHAの出力ノードSA1~SAn-3から与えられた出力信号を対応した出力ノードSB1~SBn-3から出力し、出力ノードSAn-1から与えられた出力信号を対応した出力ノードSBn-1から出力し、出力ノードSAnとSAn+1から与えられた出力信号を冗長線側へ1つシフトした出力ノードSBn+1とSBn+2から出力する。

【0018】従って、アドレスデコード信号は、第2切替回路SHBの出力ノードSB1~SBn-3、SBn-1、SBn+1、SBn+2からドライバーDRに与えられる。よって、Ln-2はLn-1に、Ln-1はRL1に、LnはRL2に置き換わり、不良のカラム又はロウ線Ln-1とLnは未使用となり、カラム又はロウ線の不良を2個救済することが出来る。

【0019】なお、図1では2個の冗長線を用いる場合を示しているが、 $n+2$ 個直列接続したヒューズ回路と $n+3$ 個の単位回路を有する切替回路との組を設けることによって、3個のカラム線又はロウ線に関する不良を救済することができ、さらにヒューズ回路と切替回路との組を追加することによって任意の個数の不良を救済することもできる。

【0020】

【発明の実施の形態】図2はこの発明の第1の実施形態を示す回路図であり、また、冗長を1つだけ使用する場合の動作を示すものであり、図3は図2の回路構成において冗長を2つ使用する場合の動作を示すものである。

【0021】本発明の第1の実施形態は、図2を参照するに、ヒューズ1~3及び42~44、ラッチ回路4及び45、Yアドレスデコード(但しそのNORゲート46~47を示す)、カラム線切替回路8及び48、カラムドライバー9並びに冗長カラム線RCL1及びRCL

2 Lから構成され、従来回路に、ヒューズ42～44、ラッチ回路45、カラム線切替回路48、及び冗長カラム線RCL2からなるものをもう1組追加した構成としてある。

【0022】ヒューズ1～3は従来と同様にn個直列接続され、ヒューズ42～44はn+1個直列に接続され、それぞれの一端からBSELが与えられ、他端には1つのヒューズを切断したときにBSELから切り離されたヒューズがフローティングにならないようにするラッチ回路4及び45が接続されている。

【0023】なお、従来と同様に、BSELはリセット時は“H”でありセット時に“L”を取り、ラッチ回路4及び45はBSELから切り離されたヒューズへセット時に“H”を与える。

【0024】NOR回路46、47は、従来と同様に、アドレスデコード信号AY234、AY567を出力する2つのデコーダ(図示せず)とともにYアドレスデコーダを構成し、駆動すべきカラム線のカラムドライバーに“L”を与える。

【0025】カラム線切替回路8は、従来と同様に、2個のPMOS、2個のNMOS、及び2個のインバータからなる組を単位として、各Yアドレスデコーダの各出力信号に対応して計n組設けてあり、また、各単位に対応して、ヒューズ1～3間の接続点ノード又はラッチ回路4の出力端のノードから“H”又は“L”が制御信号として与えられるようになっている。

【0026】ここで、各単位回路は、例えばNOR回路47に対応した単位では、NMOS22及び23のソースがNOR回路47の出力端のノードに接続され、NMOS22及びPMOS15のドレインが対応した出力端のノードmに接続され、NMOS23のドレインが冗長側に1つシフトした次段単位の出力端のノードqに接続され、PMOS15のソースが前段単位のPMOS14のドレインに接続され、PMOS16のソースが電源電位VCCにドレインが次段単位のPMOS17のソースに接続され、インバータ28の入力ノードがラッチ回路4の出力端のノードlに接続され、インバータ28の出力ノードがNMOS22及びPMOS15のゲート並びにインバータ29の入力ノードに接続され、インバータ29の出力ノードがNMOS23及びPMOS16のゲートに接続されて構成してある。

【0027】カラム線切替回路48は、PMOS49～56、NMOS57～62、及びインバータ63～68をもって、カラム線切替回路8と同様に、2個のPMOS、2個のNMOS、及び2個のインバータからなる組を単位として構成し、カラム線切替回路8の各出力端のノードに対応して計n+1組設けてあり、また、各単位に対応して、ヒューズ42～44間の接続点ノード又はラッチ回路54の出力ノードから“H”又は“L”が制御信号として与えられるようになっている。

【0028】ここで、各単位回路は、例えばカラム線切替回路8の出力端のノードmに対応した単位では、NMOS59及び60のソースがノードmに接続され、NMOS59及びPMOS52のドレインがカラムドライバー9の対応した入力端のノードoに接続され、NMOS60のドレインが冗長側に1つシフトした次段単位の入力端のノードrに接続され、PMOS52のソースが前段単位のPMOS51のドレインに接続され、PMOS53のソースが電源電位VCCにドレインが次段単位のPMOS56のソースに接続され、インバータ65の入力ノードがヒューズ43と44との間の接続点ノードnに接続され、インバータ65の出力ノードがNMOS59及びPMOS52のゲート並びにインバータ66の入力ノードに接続され、インバータ66の出力ノードがNMOS60及びPMOS53のゲートに接続されて構成してある。

【0029】図2の構成において、まず、冗長未使用時の動作について、図4(A)のタイミングチャートを参照して説明する。

【0030】冗長未使用時においては、選択されたBSELは電源電位VCCの“H”から接地電位0ボルトの“L”になり、Yアドレスデコーダの例えばNORゲート46がセットされたとすると、ヒューズ接続点のノードhも“H”から“L”になり、インバータ24を介しNMOS19がOFF且つNMOS18がONして、NORゲート46の出力信号(セット時のYアドレスデコード出力信号は“L”)はノードiに伝達され、さらにヒューズ接続点のノードjも“H”から“L”になっているので、NMOS58がOFF、NMOS57がONして、ノードkに伝達され、カラムドライバー9の対応した入力ノードへ与えられる。

【0031】よって、YアドレスデコーダにおけるNORゲート46の出力信号は、実線の経路をたどって、対応したカラム線CL1を立ち上げる。

【0032】次に、図2と図4(B)において、冗長1個使用時(冗長へ1つシフトする)の動作について説明する。冗長1個使用時においては、例えばカラム線CLnが不良である場合、カラム線を1つシフトさせるためにヒューズ3を切断する。

【0033】そうすると、選択されたBSELが“H”から“L”になった場合も、ラッチ回路4につながっているノードlは“H”のままになり、インバータ28を介しNMOS22がOFF且つPMOS15がONし、またPMOS14もONするので、ノードmも“H”のままになり、またヒューズ接続点のノードnは“H”から“L”になるため、インバータ65を介しNMOS59がOFF且つPMOS52がONし、ノードmの“H”はカラムドライバー9のノードoに伝達され、カラム線CLnは“L”になるので使用されなくなる。

【0034】他方、選択されたBSELが“H”から

“L”になった場合、インバータ 28 及び 29 を介し NMOS 23 が ON し、Y アドレスデコーダの NOR ゲート 47 の出力信号の “L” はノード q に伝達され、また、ラッチ回路 45 につながっているノード p も “H” から “L” になるため、NMOS 62 が OFF 且つ NMOS 61 が ON して、Y アドレスデコーダの NOR ゲート 47 の出力信号は点線の経路をたどっていきノード r に伝達され、カラムドライバー 9 は冗長カラム線 RCL 1 を立ち上げる。よって、カラム線 CLn は冗長側 1 つシフトした冗長カラム線 RCL 1 に置き換えられる。

【0035】さらに図 3 と図 4 (C) において、冗長 2 個使用時 (冗長へ 2 つシフトする) の動作について説明する。例えばカラム線 CLn-1 (図示せず) と CLn とが不良である場合、CLn-1 を RCL 1 から CLn を RCL 2 へそれぞれ 2 つシフトさせるためにヒューズ 43 (及びヒューズ 3 の前段のヒューズ) を切断する。

【0036】そうするとラッチ回路 45 とラッチ回路 4 とにつながっているノード l とノード n とノード p とは “H” のままになるので、NMOS 22 が OFF 且つ NMOS 23 が ON して (及び前段単位の NMOS が OFF 且つ PMOS が ON して)、Y アドレスデコーダの NOR ゲート 47 (及びその前段の NOR ゲート) の出力信号はノード q (及び m) に伝達され、NMOS 61 (及び 59) が OFF 且つ NMOS 62 (及び 60) が ON してノード s (及び r) に伝達され、点線の経路をたどっていき冗長カラム線 RCL 2 (及び RCL 1) が立ち上げられる。

【0037】よって、カラム線 CLn-1 は冗長カラム線 RCL 1 へ、カラム線 CLn は冗長カラム線 RCL 2 へ、それぞれ 2 つシフトして置き換えられる。

【0038】以上のように、第 1 の実施形態によれば、カラム線切替回路を 2 段にし、それぞれのヒューズを用意することでカラム線の立ち上がりが高速化であるシフト型回路を用いながらカラム線 CL 1 ~ CLn の中で上記したように 1 つのブロックで隣接した 2 つのカラム線はもちろん、隣接していない 2 つのカラム線でも自由に冗長救済できるという効果がある。

【0039】図 5 は、本発明の第 2 の実施形態を示す回路図である。この実施形態は第 1 の実施形態で説明した回路において 1 段目のカラム線切替回路 8 の各単位にさらに回路 78 ~ 79 を追加して構成される。

【0040】追加した回路 79 に注目して説明すると、PMOS 80 のソースが NMOS 22 のドレインに、ドレインが NMOS 22 のソースに、ゲートがインバータ 29 の出力ノードに接続され、PMOS 81 のソースが NMOS 23 のソースに、ドレインが NMOS 23 のドレインに、ゲートがインバータ 28 の出力ノードに接続されている。上記のように接続された回路が n 個の各単位にそれぞれ追加されている。

【0041】第 2 の実施形態の動作を図 5 と図 6 で説明

する。例えば Y アドレスデコーダの NOR ゲート 77 の出力信号が “L” から “H” (セット時からリセット時) になる時に冗長未使用で NMOS 22 が ON すると、NOR ゲート 77 の出力信号である “H” 信号は VCC-Vt (Vt は NMOS 22 のしきい値) のレベルまでしかノード u に伝達されない。

【0042】しかし、第 2 の実施形態では PMOS 81 が OFF 且つ PMOS 80 が ON するので、NOR ゲート 77 の出力信号は VCC のレベルまでノード u に伝達される。

【0043】冗長使用時には NMOS 22 が OFF 且つ NMOS 23 が ON して、さらに PMOS 80 が OFF 且つ NMOS 81 が ON するので、ノード u の “H” の信号は VCC のレベルでノード v に伝達される。

【0044】以上のように、第 2 の実施形態によれば、カラム線切替回路に PMOS で構成される回路を付け加えることで、カラム線のリセット時に、Y アドレスデコーダの出力信号の “H” を、PMOS 80、81 の一方を ON させることで、VCC レベルで伝達し、回路の安定動作 (特に低電圧時) させるという効果がある。

【0045】図 7 は本発明の第 3 の実施形態を示す回路図である。この回路は第 2 の実施形態で説明した回路においては 1 段目のカラム線切替回路 8 だけに PMOS を追加して構成されていたが、第 3 の実施形態ではさらに 2 段目のカラム線切替回路 48 にも同様に PMOS を追加して構成される。

【0046】第 3 の実施形態の動作を図 7 と図 8 で説明する。例えば Y アドレスデコーダの NOR ゲート 82 の出力信号が “L” から “H” (セット時からリセット時) になる時、冗長未使用時には NMOS 23 が OFF 且つ NMOS 22 が ON して、さらに PMOS 89 が OFF 且つ PMOS 88 が ON するので、NOR ゲート 82 の出力信号は VCC のレベルでノード x に伝達され、NMOS 60 が OFF 且つ NMOS 59 が ON し、さらに PMOS 91 が OFF 且つ PMOS 90 が ON するので、ここでも NOR ゲート 82 の出力信号は VCC のレベルでノード z に伝達され、そのため、ノード z のレベルが VCC-Vt (Vt は NMOS 59 のしきい値) のときよりもカラムドライバー 9 のインバータ 74 の出力が高速に立ち下がる。

【0047】また、冗長 1 個使用時には NMOS 22 が OFF 且つ NMOS 23 が ON、さらに PMOS 88 が OFF 且つ PMOS 89 が ON するので Y アドレスデコーダの NOR 回路 82 の出力信号は VCC のレベルでノード b b に伝達され、NMOS 62 が OFF 且つ NMOS 61 が ON し、さらに PMOS 93 が OFF 且つ PMOS 92 が ON するので、ここでも NOR 回路 82 の出力信号は VCC のレベルでノード c c に伝達され、カラムドライバー 9 のインバータ 75 が高速に立ち下がる。

【0048】また、冗長 2 個使用時についても同じ様に

カラムドライバー9のインバータ76の出力が高速に立ち下がる。

【0049】以上のように、第3の実施形態によれば、カラム線切替回路にPMOSで構成される回路を付け加えることでカラム線のリセット時に、Yアドレスデコーダの出力信号の“H”の信号を、PMOS90、91の一方をONさせることで、VCCレベルで伝達し、且つ高速に伝達してカラム線を立ち下げることができるという効果がある。

【0050】

【発明の効果】以上のように、本発明では、ヒューズ回路とカラム線切替回路とを少なくとも2組設けているため、少なくとも2個のカラム又はロー線に関する不良セル等を救済することができる。

【図面の簡単な説明】

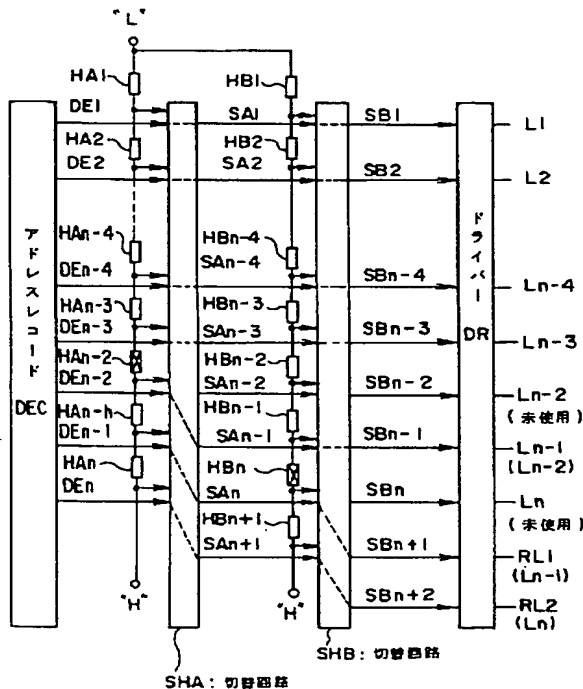
【図1】本発明に係る半導体記憶装置の概念を示すブロック図

【図2】本発明に係る半導体記憶装置の第1の実施形態の要部を示す回路図

【図3】第1の実施形態において冗長を2個使用した場合の信号伝達経路を示す回路

【図4】(A)は第1の実施形態における冗長未使用時の動作を示すタイミングチャート、(B)は第1の実施形態における冗長1個使用時の動作を示すタイミングチャート

【図1】



ャート、(C)は第1の実施形態における冗長2個使用時の動作を示すタイミングチャート

【図5】本発明に係る半導体記憶装置の第2の実施形態の要部を示す回路図

【図6】第2の実施形態においてカラム線のリセットする時の冗長未使用時と冗長使用時の動作を示すタイミングチャート

【図7】本発明に係る半導体記憶装置の第3の実施形態の要部を示す回路図

10 【図8】第3の実施形態においてカラム線のリセットする時の冗長未使用時と冗長1個使用時のタイミングチャート

【図9】従来回路の説明図

【符号の説明】

5~7	デコーダ
8と48	カラム線切替回路
9	カラムドライバー
10~17	PMOS
18~23	NMOS
24~29	インバータ
BSEL	ブロック選択信号
CL1~CLn	カラム線
RCL1~RCL2	冗長カラム線

【図4】

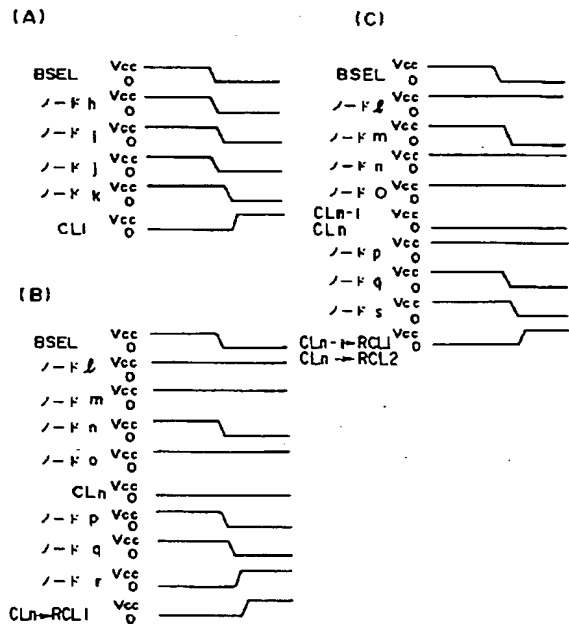
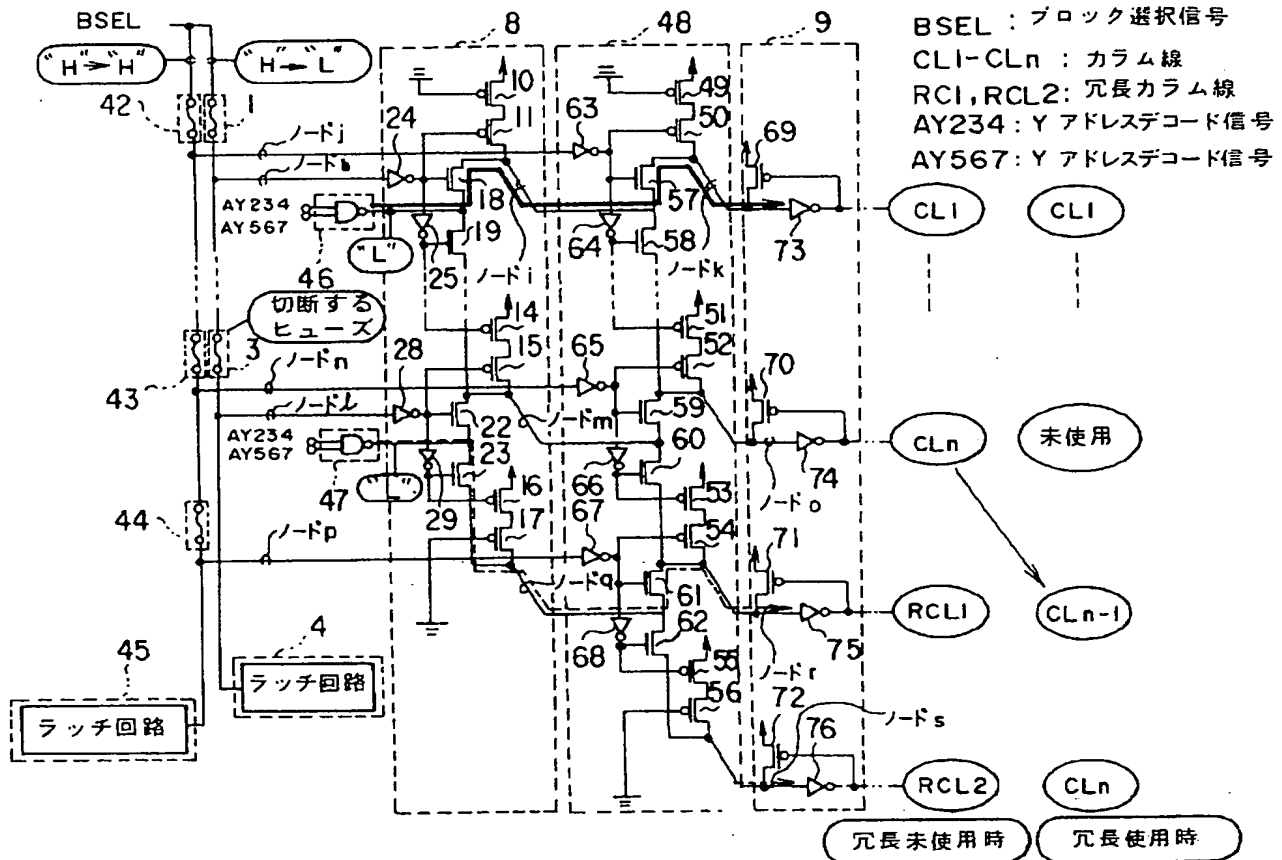


図2の装置の動作のタイミングチャート

【図2】



本発明の第1実施形態

【図6】

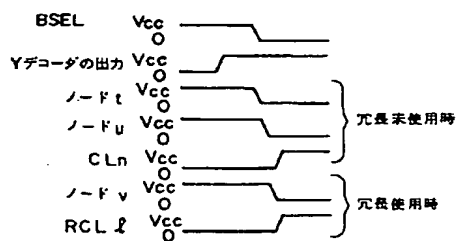


図5の装置の動作タイミングチャート

【図8】

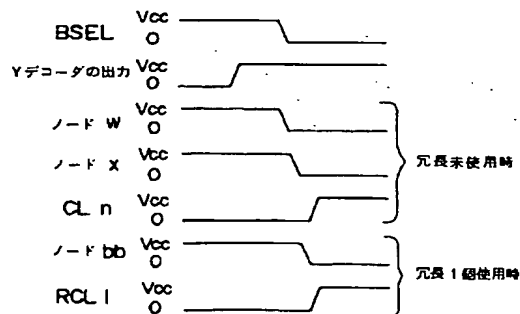
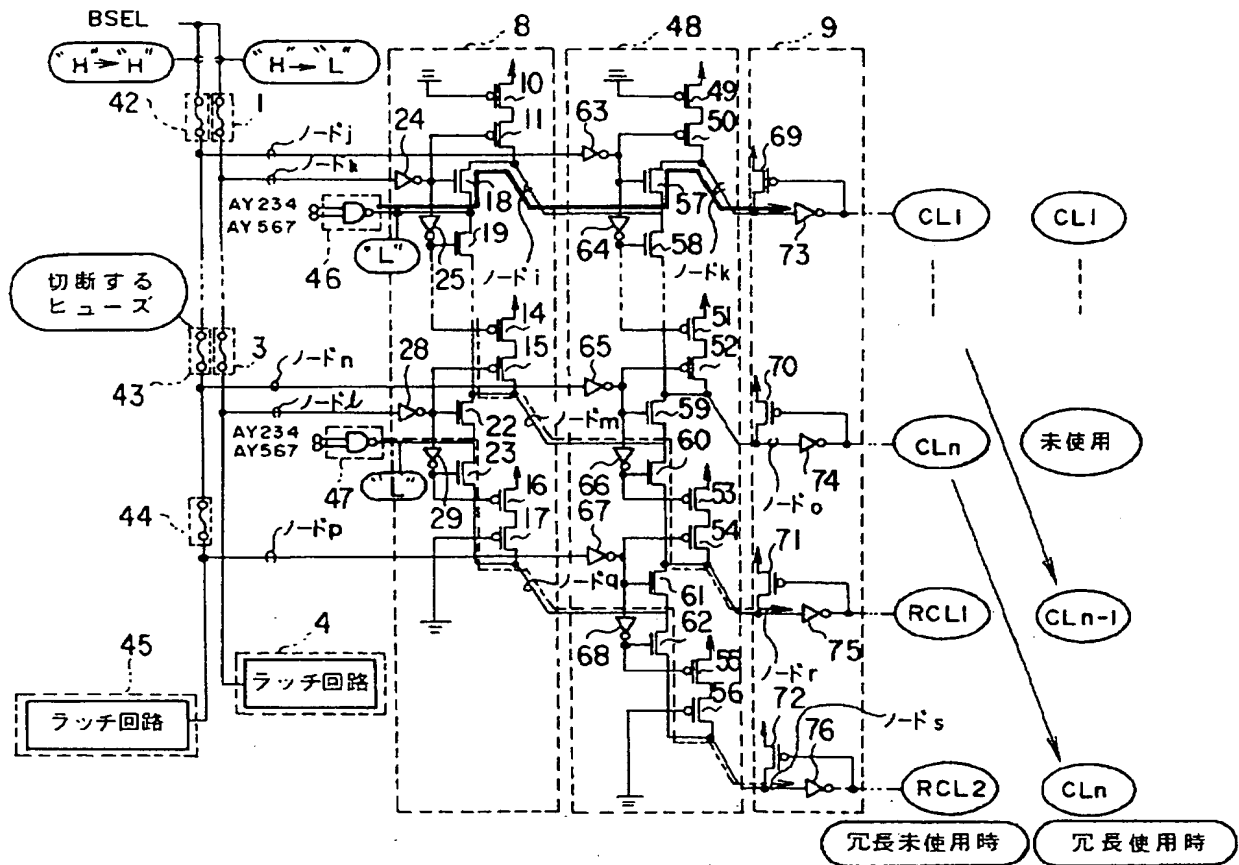


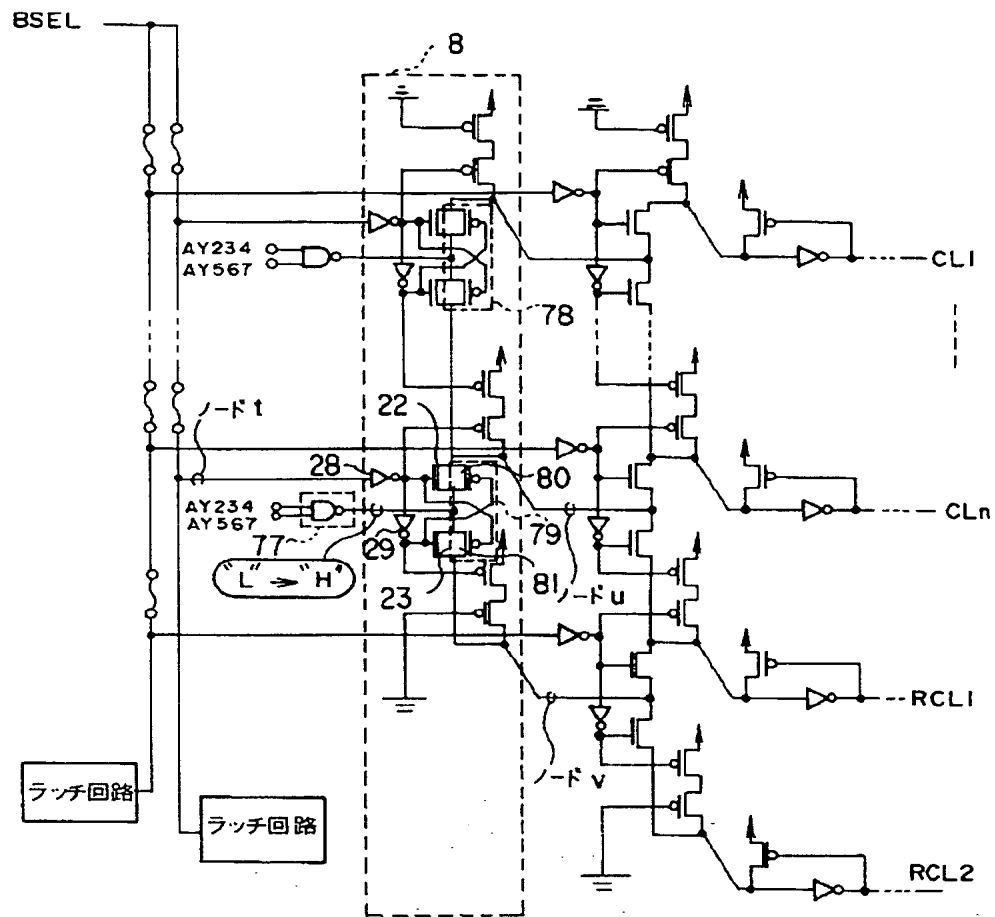
図7の装置の動作タイミングチャート

【図3】



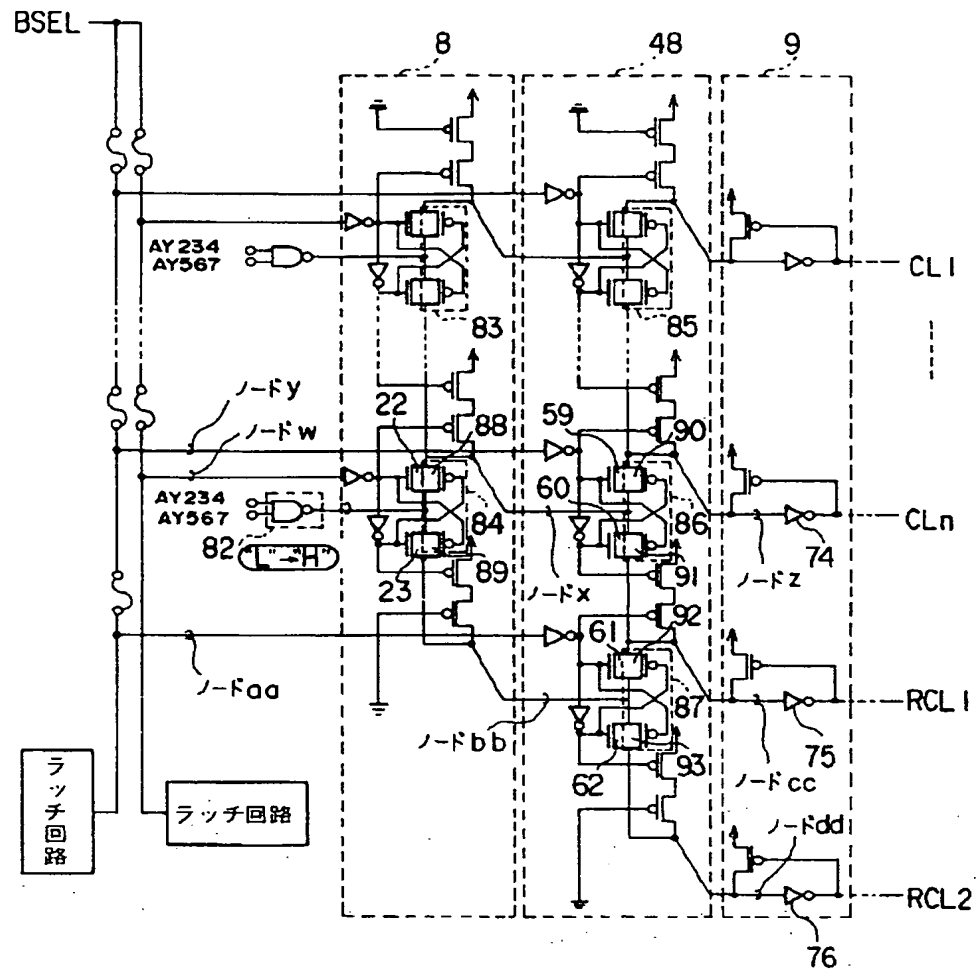
第1実施形態の信号伝達説明

【図5】



本発明の第2実施形態

【図 7】



本発明の第5実施形態

【図9】

